

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION CONCERNING  
TRANSMITTAL OF COPY OF INTERNATIONAL  
APPLICATION AS PUBLISHED OR REPUBLISHED

To:

HIGASHIMA, Takaharu  
HIGASHIMA PATENT OFFICE  
2-14, Umeda 3-chome  
Kita-ku, Osaka-shi  
Osaka, 5300001  
JAPON

Daiko Building

RECEIVED

MAR. 10. 2005

HIGASHIMA  
PATENT OFFICE

Date of mailing (day/month/year)

03 March 2005 (03.03.2005)

Applicant's or agent's file reference

KE34000-P0

IMPORTANT NOTICE

International application No.

PCT/JP2004/011936

International filing date (day/month/year)

19 August 2004 (19.08.2004)

Priority date (day/month/year)

22 August 2003 (22.08.2003)

Applicant

THE KANSAI ELECTRIC POWER CO., INC. et al

The International Bureau transmits herewith the following documents:



copy of the international application as published by the International Bureau on 03 March 2005 (03.03.2005) under  
No. WO 2005/020320



copy of international application as republished by the International Bureau on under  
No. WO

For an explanation as to the reason for this republication of the international application, reference is made to INID codes (15), (48)  
or (88) (as the case may be) on the front page of the attached document.

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Authorized officer

Yoshiko Kuwahara

Facsimile No.+41 22 740 14 35

Facsimile No.+41 22 338 90 90

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年3月3日 (03.03.2005)

PCT

(10) 国際公開番号  
WO 2005/020320 A1

- (51) 国際特許分類: H01L 23/34, 29/861, 29/74  
(21) 国際出願番号: PCT/JP2004/011936  
(22) 国際出願日: 2004年8月19日 (19.08.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2003-299219 2003年8月22日 (22.08.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 関西電力株式会社 (THE KANSAI ELECTRIC POWER CO., INC.) [JP/JP]; 〒5308270 大阪府大阪市北区中之島3丁目3番22号 Osaka (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 菅原 良孝 (SUGAWARA, Yoshitaka) [JP/JP]; 〒5308270 大阪府大阪市

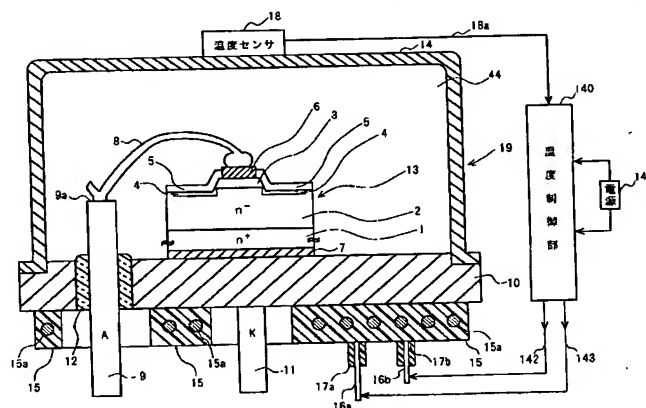
北区中之島3丁目3番22号 関西電力株式会社内  
Osaka (JP).

- (74) 代理人: 東島 隆治 (HIGASHIMA, Takaharu); 〒5300001 大阪府大阪市北区梅田3丁目2-14 大弘ビル ヒガシマ特許事務所 Osaka (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND POWER CONVERTER USING SUCH SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及びその製造方法、この半導体装置を用いた電力変換装置



18...TEMPERATURE SENSOR  
140...TEMPERATURE CONTROLLING UNIT  
141...POWER SUPPLY

(57) Abstract: For obtaining a power semiconductor device wherein the controllable current is large and loss is low, the temperature of a bipolar semiconductor element employing a wide-gap semiconductor is raised using a heating means such as a heater. Specifically, the wide-gap bipolar semiconductor element is heated to exceed the temperature at which the decrease in the steady-state loss according to the decrease of built-in voltage that decreases as the temperature rises becomes larger than the increase in the steady-state loss according to the increase of on-resistance that increases as the temperature rises.

(57) 要約: 可制御電流が大きく、かつ低損失のパワー半導体装置を得るために、ワイドギャップ半導体を用いるバイポーラ半導体素子の温度を、ヒーターなどの加熱手段を用いて上昇させる。その温度は、ワイドギャップバイポーラ半導体素子の、温度の上昇に応じて低下するビルトイン電圧の低下量に対応する前記ワイドギャップバイポーラ半導体素子の定常損失の減少量が、前記温度の上昇に応じて増加するオン抵抗の増加量に対応する前記定常損失の増加量よりも大きくなる温度を超える温度にする。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— 不利にならない開示又は新規性喪失の例外に関する申立て

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

規則4.17に規定する申立て:

— JPの指定のための不利にならない開示又は新規性喪失の例外に関する申立て (規則4.17(v))

添付公開書類:

— 国際調査報告書

## 明 細 書

### 半導体装置及びその製造方法、この半導体装置を用いた電力変換装置 技術分野

- [0001] 本発明は、可制御電流（通電時にオンオフ制御ができる最大電流）が大きいパワー半導体装置と、このパワー半導体装置を用いた電力変換装置に関する。

### 背景技術

- [0002] 高電圧、大電流を扱う電力装置に用いられるパワー半導体装置は、電力損失が小さく、可制御電流が大きくかつ信頼性の高いことが要求される。可制御電流が大きくかつ電力容量の大きい従来のパワー半導体装置としては、シリコン（Si）を用いた絶縁ゲートバイポーラトランジスタ（IGBT）や自励型サイリスタがある。自励型サイリスタとはゲート制御信号によりオン・オフの制御ができるサイリスタであり、ゲートターンオフサイリスタ（GTOサイリスタ）や静電誘導サイリスタ、MOSサイリスタなどが知られている。また他のパワー半導体装置としては、pn接合を有するダイオード、すなわちpn接合ダイオードやMPS（Merged pin / Schottky）ダイオード、SRD（Soft and Recovery Diode）が知られている。
- [0003] 近年、Siに代わる半導体材料として、炭化珪素（SiC）などのワイドギャップ半導体材料が注目されている。SiCはSiに比べて、絶縁破壊電界強度が格段に大きく、150℃以上の高温で動作可能であるとともにエネルギーギャップも大きい等の優れた物理特性を有している。そこで、低損失高耐電圧のパワー半導体装置に好適な材料としてSiCを用いたパワー半導体装置の開発が進められている。ワイドギャップ半導体材料で構成された自励型サイリスタとしてはSiC-GTOサイリスタが、2001年のIEEE ELECTRON DEVICE LETTERS, Vol.22, No.3,の127頁から129頁に開示されている。SiC-GTOサイリスタでは、ゲート制御信号は電流を流すか（オン）又は遮断するか（オフ）を択一するのみで、電流値の制御を行わないので、可制御電流がIGBTよりも大きい。SiC-GTOサイリスタのスウィッチング速度は非常に速く、SiのIGBTと同等のレベルであり、従ってスウィッチング損失はSiのIGBTと同程度に小さい。
- 非特許文献1:2001 IEEE ELECTRON DEVICE LETTERS, Vol.22, No.3,

p.127-p.129

非特許文献2: Proceedings of the 14th International Symposium on Power  
Semiconductor Devices & ICs 2002の p.41-p.44

発明の開示

発明が解決しようとする課題

[0004] IGBTなどのトランジスタでは、ゲート制御信号のレベルに応じて通電電流が変化し、通電電流値はゲート制御信号のレベルで規制される。しかし通電電流は最終的には飽和するために可制御電流が小さい。サイリスタ等は、一旦オンになった後は通電電流がゲート制御信号で規制されないので可制御電流を大きくすることができる。ゲート制御信号が、電流を流すか遮断するかを択一するのみで、電流値の制御を行うことができないことを以下、「ゲート制御信号で通電電流が規制されない」ということにする。「ゲート制御信号で通電電流が規制される」とはゲート制御信号が電流値の制御を行うことができることをいう。

[0005] 電力損失に関しては、IGBTなどトランジスタの方がサイリスタよりも小さい。一般に、半導体装置のトータルの電力損失(以下、トータル損失という)は次の式(1)で表される。

[0006] トータル損失 = (定常損失) + (スイッチング損失)  
= {(ビルドイン電圧) + (オン抵抗) × (通電電流)} × (通電電流) + (スイッチング損失)・・・(1)

SiのIGBTはSiの自励型サイリスタに比べて、オン抵抗がやや大きい。そのために定常損失はやや大きい。しかし、スイッチング速度が非常に速いのでスイッチング損失が非常に小さく、結果としてトータル損失が小さい。SiCなどのワイドギャップバイポーラ半導体装置は、オン抵抗がSiバイポーラ半導体装置よりも小さい。しかしSiCはSiよりエネルギーギャップが大きい。そのためにSiCの半導体装置のビルドイン電圧はSiの半導体装置のビルトイン電圧に比べると2. 2から6. 1倍と遙かに大きい。従ってSiCの半導体装置は定常損失が非常に大きくなるので、トータル損失はSiの半導体装置よりも大きくなる。以上のように、従来の技術では低損失かつ可制御電流の大きいSiCのパワー半導体装置の実現は困難である。

[0007] 本発明は、低損失で可制御電流が大きく、かつ信頼性の高い半導体装置及びその製造方法並びに電力変換装置を提供することを目的とする。

#### 課題を解決するための手段

[0008] 本発明の半導体装置は、ワイドギャップ半導体を用いた、順方向特性にビルドイン電圧を有するワイドギャップバイポーラ半導体素子、及び前記ワイドギャップバイポーラ半導体素子を収納し、前記ワイドギャップバイポーラ半導体素子を外部の装置に接続するための電気接続手段を有する半導体パッケージを有する。前記半導体パッケージは前記ワイドギャップバイポーラ半導体素子を常温より高い所定の温度に保つための発熱手段を有する。以下の説明で単に「温度」と記したものは、特に付記しないかぎり、すべて半導体装置の接合温度のことである。

[0009] 本発明の半導体装置は、ワイドギャップ半導体を用いたワイドギャップバイポーラ発光半導体素子、前記ワイドギャップバイポーラ発光半導体素子の発光光を受光するように、前記ワイドギャップバイポーラ発光半導体素子に対向して設けられたワイドギャップホトダイオードを有する。前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードは、前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを外部の装置に接続するための電気接続手段を有するパッケージ内に収納されている。前記パッケージには前記パッケージを常温より高い所定の温度に保つための発熱手段を有している。

[0010] 本発明の半導体装置の製造方法は、高不純物濃度の第1の導電型のSiCのカソード領域の上に、低不純物濃度の第2の導電型のSiCのドリフト層を形成する工程、及び前記ドリフト層の上に第1の導電型のSiCのベース領域を形成する工程を有する。前記製造方法は、さらに前記ベース領域の上に第2の導電型のSiCのアノード領域を形成する工程、及び前記カソード領域、ドリフト領域、ベース領域及びアノード領域に、所定の照射エネルギーの電子線を所定の電子密度で照射する工程を有している。

[0011] 本発明の半導体装置の製造方法は、高不純物濃度の第1の導電型のSiCのカソード領域の上に低不純物濃度の第1の導電型のSiCのドリフト層を形成する工程、及び前記ドリフト層の上に第2の導電型のSiCのアノード領域を形成する工程を有する

。前記製造方法はさらに、前記アノード領域にアノード電極を設ける工程、前記カソード領域にカソード電極を設ける工程、及び前記アノード電極とカソード電極間に、所定の順方向電流を所定時間流して、前記ドリフト層及びアノード領域に積層欠陥を生じさせる工程を有している。

[0012] 本発明の電力変換装置は、ワイドギャップ半導体を用いたGTOサイリスタ素子及び前記GTOサイリスタ素子に逆並列に接続される、ワイドギャップ半導体を用いたダイオード素子を有する。前記GTOサイリスタ素子及び前記ダイオード素子は、前記GTOサイリスタ素子と前記ダイオード素子を逆並列に接続し、前記逆並列に接続されたGTOサイリスタ素子とダイオード素子を外部の装置に接続するための電気接続手段を有するパッケージに収納されている。前記パッケージには、前記パッケージ内の前記GTOサイリスタ素子及びダイオード素子を常温より高い所定の温度に保つための発熱手段を有するスイッチングモジュールであって、少なくとも2つの前記スイッチングモジュールを直列に接続した直列接続体を、直流電源の正極と負極間に3つ並列に接続したスイッチング回路が設けられている。前記各スイッチングモジュールのそれぞれには、前記発熱手段で各スイッチングモジュールを加熱して、各スイッチングモジュールが所定の温度に達してから前記スイッチング回路の動作をさせるように制御する制御回路が設けられている。

[0013] 本発明のワイドギャップバイポーラ半導体装置を以下に説明する。ゲート制御信号が、電流を流すか遮断するかを択一するのみで、電流値の制御を行うことができないことを以下、「ゲート制御信号で通電電流が規制されない」ということにする。「ゲート制御信号で通電電流が規制される」とはゲート制御信号が電流値の制御を行うことができることをいう。以下の説明では本発明の半導体装置の特徴を理解しやすくするために、随時従来技術に属するSiの半導体装置等と対比しつつ説明する。

[0014] まず可制御電流に関して説明する。ワイドギャップ半導体を用いた本発明のpn接合ダイオードや自励型サイリスタ等のワイドギャップバイポーラ半導体装置では、ゲート制御信号で通電電流が規制されない。従って、本発明のこれらのワイドギャップバイポーラ半導体装置は、IGBT等の、ゲート制御信号で通電電流が規制されるバイポーラ半導体装置やワイドギャップ半導体装置に比べて、可制御電流が大きい。特に

従来のSiのバイポーラ半導体装置の動作限界接合温度(125℃から150℃程度)を超える高温においても、本発明のワイドギャップバイポーラ半導体装置は可制御電流が大きい。

- [0015] 次にトータル損失に関して説明する。一般に、半導体装置は、温度が上昇すると、ビルトイン電圧は低下し、オン抵抗は増大する。従来のSiのpn接合ダイオードや自励型サイリスタ等のように、順方向特性に所定のビルドイン電圧を有するSiのバイポーラ半導体装置においては、バイポーラ素子の温度を上昇させるとトータル損失が大きくなる。従来のSiの半導体装置の場合、温度が上昇するとビルドイン電圧は減少するが、オン抵抗とキャリアの寿命が著しく増大する。このオン抵抗の著しい増大により定常損失が著しく増大する。この定常損失の増大分はビルドイン電圧の減少による定常損失の減少分を上回るため、トータルの定常損失が増大してしまう。また、キャリア寿命の著しい増大によりターンオフ時のスイッチング時間が著しく増大するので、スイッチング損失が著しく増大してしまう。結局式(1)から明らかなようにトータル損失が大きくなってしまう。
- [0016] 発明者は種々の実験の結果以下のことを見出した。
- [0017] 同じ耐電圧を有する、ワイドギャップバイポーラ半導体装置とSiバイポーラ半導体装置との温度依存性を比較した結果、定量的な温度依存性について以下の2つの事象を見いだした。
- [0018] 第1の事象は、ワイドギャップバイポーラ半導体装置の温度を上昇させた場合、実用レベルの通電電流密度の範囲(例えば電流密度が $1\text{A}-700\text{A}/\text{cm}^2$ )では、オン抵抗の増大による定常損失の増大分よりも、ビルドイン電圧の低下による定常損失の低減分の方が大きい、ということである。
- [0019] 一般に、半導体装置のターンオフ時のスイッチング時間は温度が上昇すると長くなるので、スイッチング損失が増大する。第2の事象は、耐電圧が同じ場合、ワイドギャップバイポーラ半導体装置は、SiのIGBT等のバイポーラ半導体装置よりも温度上昇によるスイッチング時間の増大が少なく、従ってスイッチング損失の増大が少ない、ということである。
- [0020] 第1の事象の要因は以下の通りである。常温において、ワイドギャップバイポーラ半



導体装置のオン抵抗はSiのバイポーラ半導体装置よりも大幅に小さい。そのため温度上昇によりワイドギャップバイポーラ半導体装置のオン抵抗が増大したとしてもその増大分は小さい。

[0021] 第2の事象の要因は以下の通りである。ワイドギャップバイポーラ半導体装置のキャリア寿命はSiバイポーラ半導体装置のそれよりも大幅に小さい。そのために、温度上昇によりワイドギャップバイポーラ半導体装置のキャリア寿命が増大したとしてもその増大分は小さい。

[0022] 本発明は上記の第1及び第2の事象を利用するものであり、ワイドギャップバイポーラ半導体装置の温度を、温度を上昇させる手段によって常温より高い温度に保ちつつ動作させることを特徴とする。すなわち温度を上昇させる手段によりpn接合ダイオードや自励型サイリスタ等のワイドギャップバイポーラ半導体装置の素子の温度を高くする。これにより、オン抵抗の増大による定常損失の増大よりも、ビルドイン電圧の低下による定常損失の低減のほうを大きくできる。その結果合計の定常損失を低減することができる。一方、スイッチング損失の温度上昇による増分は比較的小さいので、トータル損失を減らすことができる。

[0023] ワイドギャップバイポーラ半導体装置においては、結晶の品質が未だ十分良くなくキャリアの各種のトラップが多数存在する。このため、ワイドギャップバイポーラ半導体装置ではターンオフ時のテイル電流がSiに比べると著しく多い。ワイドギャップバイポーラ半導体装置の温度が高くなるとこのテイル電流が更に増大しスイッチング損失の著しい増大を招く。これは、トラップされているキャリアが高温では多数解放されることによると考えられる。

[0024] 発明者は、種々の実験を行った結果、ワイドギャップバイポーラ半導体装置に電子線や荷電粒子線の照射を施すとこのテイル電流を低減できるという、第3の事象を見いだした。これは電子線や荷電子線を照射することによってワイドギャップバイポーラ半導体装置のSiC半導体層内に新たに形成されたトラップが在来のトラップに対して支配的になり、これらのトラップによりキャリアの寿命が決定されることによると考えられる。しかし、過度に照射するとオン電圧が増大し定常損失の増大を招く。たとえば、電子線の照射条件としては、照射エネルギーを0.1MeV〜20MeV、照射量としては

単位面積当たりの電子数を $5 \times 10^{11} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の各範囲内で選択して照射しアニールを施す。上記の照射条件の電子線の照射によりキャリアの寿命を約0.01マイクロ秒から20マイクロ秒の範囲内で調節することができる。これによりオン電圧の著しい増大を招くことなくテイル電流を減らすことができるので結果としてスイッチング損失を著しく低減できる。以上のように、温度上昇手段で素子の温度を高くし、その結果としてのビルドイン電圧の低減による定常損失成分の低減効果に、この電子線照射によるスイッチング損失の低減効果を加える。これにより、半導体装置全体の損失を、良好な制御性を保ちつつ低減でき、本発明の目的をより効果的に達成できる。

[0025] また、ワイドギャップバイポーラ半導体装置の場合は、半導体素子の温度を上げてトータル損失をSiバイポーラ半導体装置より小さくしても、ワイドギャップバイポーラ半導体装置のエネルギーギャップはまだSiのエネルギーギャップ以上であり、相当の余裕が存在する。従って、上記の程度まで半導体素子の温度を上げた場合でも熱暴走や熱破壊が起こりにくく、温度に対して高い信頼性を確保できる。また、高耐電圧を得るために、電界緩和領域の幅を理論的な限界値よりも大きめに設定し、電界緩和領域における電界を低くすることもできる。このようにした場合でも、ワイドギャップバイポーラ半導体素子のオン抵抗は著しく低いので、電界緩和領域の幅を大きくしたことによるオン抵抗の増大量はSiバイポーラ半導体素子に比べると小さい。すなわち低損失の特性を損ねることなく高い信頼性を確保できる。以上のように、本発明によると、低損失で可制御電流が大きく、高い信頼性を有する半導体装置が実現できる。

[0026] ワイドギャップ半導体素子のオン電圧の温度依存性によれば、オン電圧は低温で高く、高温になるほどだんだんと低くなる。しかしオン電圧はある上限温度(SiCの場合は $350 \sim 600^\circ\text{C}$ の範囲内で素子構造によって定まる。)で最低になり、前記上限温度を超える温度では逆に高くなるという傾向を持つ。これは素子の定常損失の温度依存性も同様の傾向を示すことを意味する。従って、半導体素子の温度を前記上限温度以上に上昇させるのは望ましくない。この上限温度は通電電流密度に依存し、通電電流密度が高いと低くなる。例えば、SiCバイポーラ半導体装置の場合は、電流密度が $700\text{A} / \text{cm}^2$ では約 $300^\circ\text{C}$ であり、 $5\text{A} / \text{cm}^2$ では約 $750^\circ\text{C}$ である。可制御電

流を大きくするという本発明の目的を効果的に達成するためには、SiCバイポーラ半導体装置の電流密度は、同じ定格のSiバイポーラ半導体素子の定格電流に相当する電流密度( $25\sim 40\text{A}/\text{cm}^2$ )よりも高い値において使用する。そのような高い電流密度におけるSiCバイポーラ半導体装置の上限温度は $600^\circ\text{C}$ 程度である。SiCバイポーラ半導体装置を駆動する望ましい温度範囲は常温より高くかつ前記上限温度以下である。この温度範囲を「適正温度範囲」ということにする。適正温度範囲は例えば $200^\circ\text{C}\sim 450^\circ\text{C}$ である。この適正温度範囲内でSiCバイポーラ半導体装置を動作させるために、室温で動作を開始し、定常損失による自己発熱でSiCバイポーラ半導体装置の温度が上昇して適正温度範囲になるようにしてもよい。しかしSiCバイポーラ半導体装置を、その温度が前記適正温度範囲になるようにあらかじめ加熱してから動作を開始させると、速く温度が安定する点で望ましい。すなわち、ワイドギャップ半導体素子を用いて電力変換装置を構成し所定の一定電源で負荷を駆動する場合、発熱手段を用いて素子を高温にしてから駆動を開始する。このようにすると定常損失が小さいだけでなく、速く負荷を安定動作に持ち込むことができるので電力変換装置の信頼性が向上する。

- [0027] ワイドギャップバイポーラ半導体素子には結晶面の方向に依存する特有の結晶欠陥が存在し、この結晶欠陥が素子の信頼性を損ねることがある。例えば、典型的なワイドギャップバイポーラ半導体素子である4層6方晶形のSiCのpnダイオードでは、単一結晶を得やすくするために、(0001)結晶面に対して3から8度傾けた結晶面上にn型の半導体領域をエピタキシャル成長で形成する。次にこのn型の半導体領域の上にエピタキシャル成長やイオン打ち込みによりp型の半導体領域を形成する。上記のn型及びp型の半導体領域の形成時に両半導体領域にベイスルプレーン転位と呼ばれる結晶欠陥が生じる。ベイスルプレーン転位を有するpnダイオードに通電すると、このベイスルプレーン転位が「積層欠陥」を形成することが知られている。積層欠陥は、例えばp型半導体領域からn型半導体領域に注入された少数キャリアが結晶の格子点に衝突した際の衝撃エネルギーにより形成されと考えられている。通電により形成される積層欠陥は通電電流が大きいほど多く形成される。この積層欠陥は注入された少数キャリアをトラップし再結合させて消滅させるので、少数キャリアのライ

フタイムが短くなる。積層欠陥の増加は半導体領域の劣化現象であり、その結果としてオン電圧が高くなる。オン電圧が高くなると通電時の電力損失が大きくなるとともに、場合によってはpnダイオード素子が熱で破壊されるおそれがある。

[0028] 発明者は種々の実験を行った結果、pnダイオード素子の温度を上昇させると、上記の積層欠陥に起因する小数キャリアのトラップ作用が低減し、再結合による小数キャリアの消滅を防ぐことができることを見出した。積層欠陥が増大したとしても、pnダイオード素子の温度を高く保つとオン電圧が高くなるという現象を抑制できる。具体的には小数キャリアのトラップ作用は、pnダイオード素子の温度を50℃以上にすると低減しはじめ、250℃以上ではほぼ消滅して、オン電圧が高くなるという現象は非常に小さくなる。その結果電力損失の増大を防ぐことができるとともに高い信頼性を実現できる。

[0029] 一旦形成された積層欠陥は素子温度を下げてでも消滅することがないので、素子温度が低い状態で通電をすると積層欠陥の作用により大きな電力損失を発生し素子を破壊してしまうおそれがある。そこで、通電開始前にあらかじめ素子の温度を125℃以上に上昇させておく。この温度で通電を開始すれば、自己発熱で急速に温度が上昇し、短時間で250℃以上になる。そのため、積層欠陥が存在したとしてもその影響を避けることができ、オン電圧が高くなることなく素子に通電することができる。

[0030] ワイドギャップバイポーラ半導体素子の温度を上昇させる1つの手段としては、加熱手段を設けてワイドギャップバイポーラ半導体素子を加熱する。またワイドギャップバイポーラ半導体素子の温度を上昇させる他の手段としては、ワイドギャップバイポーラ半導体素子の構成要素の一部又は全部に通電した時の自己発熱を利用して温度を上昇させてもよい。加熱手段による加熱と自己発熱を併用してもよい。自己発熱を利用するときは、ワイドギャップバイポーラ半導体素子に設けるヒートシンクの大きさ、材質、形状を適切に設定することにより、ワイドギャップバイポーラ半導体素子の温度を所望の値に上昇させることができる。ヒートシンクを小型にし、比熱の小さい材料を用いるとワイドギャップバイポーラ半導体素子の温度の上昇速度を速くできるとともに、温度を高くすることができる。また必要に応じて送風冷却用のファンを設けてもよい。ファンの回転速度を調節することにより、ワイドギャップバイポーラ半導体素子の温度

を所望値にすることができる。自己発熱を利用する場合は加熱手段が不要なのでワイドギャップバイポーラ半導体素子の構成が簡単になる。

### 発明の効果

- [0031] 本発明の半導体装置は、順方向特性においてビルドイン電圧を有し、制御信号で電流の通電と遮断を制御するワイドギャップバイポーラ半導体素子をあらかじめ所定の温度に上昇させてから動作を開始させる。これにより、可制御電流が大きくかつ低損失で信頼性の高い半導体装置を実現できる。

### 図面の簡単な説明

- [0032] [図1]図1は本発明の第1実施例のワイドギャップpnダイオード装置の断面図である。  
[図2]図2は本発明の第2実施例のワイドギャップGTOサイリスタ装置の断面図である。  
。  
[図3]図3は本発明の第2実施例のワイドギャップGTOサイリスタ装置に用いるGTOサイリスタ素子の図2の紙面に直交する面の断面図である。  
[図4]図4は本発明の第3実施例の光結合ワイドギャップ半導体装置の断面図である。  
。  
[図5]図5は本発明の第4実施例のSiC-pnダイオード装置の断面図である。  
[図6]図6は本発明の第5実施例の、前記各実施例のワイドギャップ半導体装置を用いて構成した3相インバータ装置の回路図である。  
[図7]図7は本発明の第5実施例のインバータ装置に用いられるスイッチングモジュールの断面図である。

### 符号の説明

- [0033]   1 カソード領域  
          2 ドリフト層  
          3 アノード領域  
          4 電界緩和領域  
          5 表面保護膜  
          6 アノード電極  
          7 カソード電極

- 8 リード線
- 9、11 リードピン
- 10、38、67、125 支持体
- 12 絶縁ガラス
- 13 pnダイオード素子
- 14 金属キャップ
- 15、46、85、127 ヒーター
- 18 温度センサ
- 21 カソード領域
- 22 バッファ領域
- 24 ベース領域
- 25 アノード領域
- 27 表面保護膜
- 28 アノード電極
- 31 ゲート電極
- 32 カソード電極
- 42 合成高分子化合物
- 51 GaNGTOサイリスタ
- 52 SiCホトダイオード
- 53 カソード領域
- 54 ゲート領域
- 55 アノード領域
- 57 表面保護膜
- 60 発光窓
- 80 受光部
- 88 ヒートシンク
- 90 インバータ装置
- 98 ファン

## 100a、100b スイッチングモジュール

## 発明を実施するための最良の形態

[0034] 以下、本発明の好適な実施例を図1から図7を参照して説明する。各図において、図を見易くするために図示された各要素の寸法は、実際の寸法とは対応していない。以下の説明で単に「温度」と記したものは、特に付記しないかぎり、すべて半導体装置の接合温度のことである。

## 第1実施例

[0035] 本発明の第1実施例の半導体装置は、耐電圧8.5kVのSiC(炭化珪素)pnダイオード装置19であり、以下図1を参照して説明する。

[0036] 図1は、本発明の第1実施例のSiC-pnダイオード装置19の断面図である。図1において、SiCのpnダイオード素子13は4層6方晶形の素子であり、厚さ約300 $\mu$ mの高不純物濃度のn型SiCのカソード領域1の上に厚さ約95 $\mu$ mの低不純物濃度のn型SiCのドリフト層2が形成されている。カソード領域1の下面にはカソード金属電極7が形成されている。ドリフト層2の中央領域に、ドリフト層2との主接合を構成するp型SiCのアノード領域3が形成されている。アノード領域3の周辺にはp型SiCの電界緩和領域4が形成されている。アノード領域3にはアノード金属電極6が形成されている。アノード金属電極6を除く素子の表面には表面保護膜5が形成されている。

[0037] アノード金属電極6は金のリード線8により電気接続手段である金属のリードピン9の接続端9aに接続されている。カソード金属電極7は金属の支持体10の上面に電氣的接続を保つように接着されている。支持体10の下面中央部には、電気接続手段の金属のリードピン11が接続されている。このSiC-pnダイオード装置19はリードピン9と11により外部配線に接続される。リードピン9は支持体10を貫通し、貫通部は高融点絶縁ガラス12で密封・固着されている。pnダイオード素子13及びリードピン9の接続端9aを含む支持体10の上面は金属のキャップ14で覆われ、その内部の空間44には窒素ガスが封入されている。

[0038] 支持体10の下面には、pnダイオード素子13の温度を上昇させる発熱手段として、ニクロム線15aをシリコンゴムなどの耐熱性ゴムのシート内に埋め込んだシート状のヒーター15が取り付けられている。ヒーター15は内部のニクロム線15aに通電するため

の、絶縁物17a、17bでそれぞれ被覆された端子16a、16bを有する。

[0039] 本実施例のSiC-pnダイオード装置19の製作方法の一例を詳細に説明する。SiC-pnダイオード素子13のカソード金属電極7は金シリコンの高温半田を用いて支持体10に半田付けされる。金のリード線8は、リードボンディング装置を用いてアノード電極6と金属のリードピン9の端部9aとの間を接続する。図1ではリード線8は1本のみ図示されているが、実際の素子ではリード線8は流れる電流値に応じて複数のものを並列に接続している。上記のように構成された支持体10に窒素ガス中で金属キャップ14を取り付け、周囲を溶接して密閉しパッケージを形成する。これによりキャップ14内の空間44に窒素ガスが封入される。最後に支持体10の下面にヒーター15を張り付けるとともに、キャップ14の外面に温度センサ18を取り付けてSiC-pnダイオード装置19が完成する。温度センサ18の接続線18aは温度制御部140に接続されている。温度制御部140は、温度センサ18の検出出力に基づいて、電源141の電力を接続線142、143及びヒーター15の端子16a、16bを経てヒーター15に供給し、pnダイオード素子13の温度を所定値に制御する。

[0040] 本実施例のSiC-pnダイオード装置19の動作の一例を以下に説明する。pnダイオード装置19を動作させる前にヒーター15に通電して支持体10を加熱し、pnダイオード素子13の温度を250℃程度に保つ。pnダイオード素子13の温度の検出は、素子の温度が上昇するとオン電圧が上昇する、という特性を利用する以下に示す方法で行う。キャップ14を取り付けてパッケージを形成したSiC-pnダイオード装置19を温度可変の加熱室に入れ、加熱室の温度を室温から徐々に上げてゆく。加熱中のpnダイオード素子13に、例えば時間幅が200  $\mu$ sの、定格電流の200分の1程度の順方向のパルス電流を流す。上記のパルス電流を流したときの、加熱室の温度にほぼ等しいpnダイオード素子13の温度とオン電圧を測定して両者の関係を表す校正曲線(グラフ)を作成する。以後はこのグラフを用いて温度を測定する。すなわちpnダイオード素子13の加熱中に上記のパルス電流を印加してオン電圧を測定する。オン電圧の測定値から前記グラフを参照することによりpnダイオード素子13の温度を知ることができる。pnダイオード素子13の温度が所定値、例えば250℃に達した後はパルス電流の印加をやめ、温度センサ18の検出値を参照して、温度制御部140によ



りヒーター15の通電を制御して、pnダイオード素子13の温度を前記所定値に保つ。

[0041] 次にリードピン9と11との間に、リードピン11の電位がリードピン9より高くなるように逆電圧を印加して耐電圧を測定する。本実施例のpnダイオード装置19の耐電圧は8.5kVである。逆電圧8kVでのリーク電流密度は $2 \times 10^{-3} \text{ A/cm}^2$ 以下であり、250℃の高温において所望の特性が得られた。可制御電流は200Aであり、 $360 \text{ A/cm}^2$ の高い電流密度で、電流200A、繰り返し周波数5kHzで通電することができた。電流密度 $360 \text{ A/cm}^2$ で通電した時のオン電圧は2.5V、逆回復電荷は $11 \mu\text{C}$ 、定常損失は約280W、スイッチング損失は約33Wであった。このときpnダイオード素子13の接合温度は3秒以下の短時間で約340℃となった。

[0042] 耐電圧8.5kVの従来のSi-pnダイオードの場合、以下の文献「Proceedings of the 14th international Symposium on Power Semiconductor Devices & ICs 2002のp.41-p.44」に開示されているように、接合温度125℃で150Aの電流（電流密度は約 $50 \text{ A/cm}^2$ ）の通電時のオン電圧は3.5Vであり、逆回復電荷は約 $125 \mu\text{C}$ であった。上記従来のSi-pnダイオードに比べて、本実施例のSiC-pnダイオード装置19では、定常損失はほぼ95%である。また、逆回復電荷は本実施例のpnダイオード装置の方が約1桁小さいので、スイッチング損失も約1桁小さくなる。SiC-pnダイオード装置19のトータル損失はSi-pnダイオードの50%程度になり大幅に低減できる。SiC-pnダイオード装置19では、接合温度が340℃のときのオン抵抗は、接合温度が125℃のときのSi-pnダイオードのオン抵抗よりも大幅に小さく、その結果としてトータル損失が小さくなる。温度が340℃のときのSiC半導体は、半導体の性質を失ういわば金属状態になるまでには約1.66eVのエネルギーギャップを残している。この1.66eVのエネルギーギャップは、温度が125℃のSiのエネルギーギャップ1.1eVよりも大きいので、温度に対する高い信頼性を確保できる。

[0043] 本実施例のpnダイオード素子13のn型のドリフト層2の厚さは約 $95 \mu\text{m}$ である。pnダイオード素子13に8.5kVの逆電圧を印加した時の空乏層の厚さは約 $85 \mu\text{m}$ であるので、約 $10 \mu\text{m}$ 程度のマージンをもつ。本実施例のpnダイオード素子13はこの厚さのマージンをもつことにより、耐電圧に対する高い信頼性が確保できる。

[0044] ヒーター15によりpnダイオード素子13の温度をあらかじめ約250℃の高温にして

から稼働するように構成しているので、積層欠陥がオン電圧の上昇に及ぼす影響が極めて少なくなり、稼働中にオン電圧が上昇するのを防止できる。そのためpnダイオード素子13で生じる損失を一定値に保つことができこの点からも高い信頼性を確保できる。

- [0045] 以上のように、本実施例によれば、低損失で可制御電流が大きく、かつ信頼性の高いSiC-pnダイオード装置19が実現できる。

## 第2実施例

- [0046] 本発明の第2実施例の半導体装置は、耐電圧5kVのSiC-GTOサイリスタ(Gate Turn-Off Thyristor)装置49であり、図2にその断面図を示す。図3は図2におけるGTOサイリスタ素子20を紙面に垂直な面で切断したセルの一つの断面図である。実際の素子では、図3に示すセルが、図の左右方向に複数個連結されている。また図2では、図3に示すセルが図の紙面に垂直な方向に複数個連結されている。図2及び図3において、厚さ約320  $\mu\text{m}$ の高不純物濃度のn型SiCのカソード領域21の上面に、厚さ約3  $\mu\text{m}$ のp型SiCのバッファ層22を設けている。カソード領域21の下面にカソード電極32が設けられている。バッファ層22の上に厚さ約60  $\mu\text{m}$ の低不純物濃度のp型SiCのベース層23を設けている。ベース層23の中央部にそれぞれの厚さが約2  $\mu\text{m}$ のn型SiCのベース領域24とp型SiCのアノード領域25が順次形成されている。ベース領域24の周囲にはn型SiCの電界緩和領域26が形成されている。以上のように構成したGTOサイリスタ素子20の表面には二酸化シリコン層、窒化シリコン層及び二酸化シリコン層の3層構造の表面保護膜27が形成されている。アノード領域25にはアノード電極28が形成されている。このアノード電極28の上の左側の領域には2層目のアノード電極29が形成され、右側の領域には絶縁膜30を介してゲート電極31が形成されている。図3に示すように、n型のベース領域24には1層目のゲート電極33が形成され、ゲート電極33は、図示していない接続部で図2に示すゲート電極31に接続されている。

- [0047] 上記の構成のGTOサイリスタ素子20に、照射エネルギーが約4MeVの電子線を、約 $7 \times 10^{12} / \text{cm}^2$ の電子密度で照射し、700℃の温度で8時間アニールする。この処理を行ったGTOサイリスタ素子20を金シリコンの高温半田を用いて支持体38の

上面に半田付けする。リード線34、36は直径80 $\mu$ mの金線であり、リードボンディング装置を用いてそれぞれアノード電極29とアノード端子35の端部35a間、及びゲート電極31とゲート端子37の端部37a間を接続する。図2では、リード線34、36はそれぞれ1本ずつ図示されているが、実際にはリード線34、36は、複数のものを並列に接続している。カソード電極32はカソード端子39を有する金属の支持体38に取り付けられている。リード線34、36及びアノード端子35、ゲート端子37及びカソード端子39は電気接続手段である。アノード端子35及びゲート端子37は、それぞれの高融点絶縁ガラス40及び41で支持体38との間の絶縁を保ちつつ支持体38を貫通して固定されている。

- [0048] GTOサイリスタ素子20の全面、及びリード線34及び36のGTOサイリスタ素子20との接続部近傍を覆うように、高耐熱の合成高分子化合物の被覆体42を塗布する。最後に窒素雰囲気中で金属キャップ43を支持体38に取り付けて溶接することにより空間44に窒素ガスが封入されたSiC-GTOサイリスタ装置49が完成する。金属キャップ43の側面には温度センサ18が設けられている
- [0049] 金属キャップ43の外側上面に、耐熱ゴムにニクロム線46aを埋込んだ発熱手段であるヒーター46が張り付けられている。ヒーター46の、絶縁物48a、48bでそれぞれ被覆された端子47a、47bを用いてヒーター46に直流又は交流の電流を流すことによりキャップ43を加熱することができる。ヒーター46はGTOサイリスタ素子20の温度を上昇させるための手段であり、キャップ43を加熱することにより、GTOサイリスタ素子20の温度を上昇させる。本実施例においても図1に示す第1実施例と同様の温度制御部140及び電源141を有しているが、図2では図示を省略している。
- [0050] 本実施例のSiC-GTOサイリスタ装置49を動作させるときは、ヒーター46に通電して金属キャップ43を加熱し、GTOサイリスタ素子20の温度を約200℃に上昇させる。GTOサイリスタ素子20の温度の検出方法は前記第1実施例の場合と同じである。GTOサイリスタ素子20の温度が約200℃に達した後、アノード端子35の電位がカソード端子39よりも高電位になるように順方向に5kVの電圧を印加する。ゲート端子37の電位をアノード端子35と同電位にすると、SiC-GTOサイリスタ装置49は電流が流れないオフ状態が維持され、5kVの耐電圧が得られた。

- [0051] 次にこのオフ状態でゲート端子37の電位をアノード端子35よりも低電位にし、アノード端子35からゲート端子37に向けてゲート電流を流す。その結果SiC-GTOサイリスタ装置49はオン状態になり、アノード端子35とカソード端子39間に電流が流れる。オン状態でゲート端子37の電位をアノード端子35よりも高電位にすると、アノード端子35とカソード端子39間に流れている電流が、ゲート端子37とカソード端子39間に転流する。その結果アノード端子35とカソード端子39間を流れる電流は遮断されてSiC-GTOサイリスタ装置49はオフ状態になる。このときのアノード端子35とカソード端子39間の電圧が逆電圧である。
- [0052] 具体的には、カソード端子39に負の電圧を印加し、ゲート端子37にアノード端子35を基準にしてビルトイン電圧以上の電圧を印加すると、SiC-GTOサイリスタ装置49はオンとなる。このときドリフト層23内にカソード領域22から電子が注入されるため、伝導度変調が生じ、オン抵抗が大幅に低下する。SiC-GTOサイリスタ装置49がオンになった状態において、ゲート端子37の電位をアノード端子35の電位より高くすると、アノード端子35とカソード端子39間を流れる電流の一部又は全部がゲート端子37から引き抜かれることになり、GTOサイリスタをオフ状態にすることができる。
- [0053] 本実施例のSiC-GTOサイリスタ装置49では、逆電圧が5kVでのリーク電流密度は200℃の高温雰囲気中で $5 \times 10^{-3} \text{ A/cm}^2$ 以下であり、逆電圧特性は良好であった。
- [0054] 本実施例のSiC-GTOサイリスタ装置49は、3kV以上の高耐電圧を有する従来のSi半導体装置では通電が困難である、 $300 \text{ A/cm}^2$ の高い電流密度において可制御電流150Aを達成できた。GTOサイリスタ素子20の温度を170℃に保って、 $300 \text{ A/cm}^2$ の高電流密度で、繰り返し周波数2kHzで150Aの電流を通電した時のオン電圧は3.4Vであった。150Aの電流をスイッチングさせたときのターンオン時間は $0.4 \mu\text{s}$ 、ターンオフ時間は $1.4 \mu\text{s}$ 、定常損失は255W、スイッチング損失は103Wであった。上記の動作をさせるとGTOサイリスタ素子20の接合温度は極短時間で308℃程度となった。
- [0055] 耐電圧5.0kVの従来のSi-GTOサイリスタの場合には温度が125℃で100Aの電流の(電流密度は約 $60 \text{ A/cm}^2$ )通電時のオン電圧は5.3Vであり、ターンオン時

間は $8\mu\text{s}$ 、ターンオフ時間は $22\mu\text{s}$ である。本実施例のSiC-GTOサイリスタ装置49をこのSi-GTOサイリスタ装置に比べると、本実施例のSiC-GTOサイリスタ装置49の方がオン電圧が約1V低く、定常損失はSi-GTOサイリスタの約96%である。SiC-GTOサイリスタ装置49のターンオン時間とターンオフ時間は、それぞれSi-GTOサイリスタの約 $1/20$ および約 $1/16$ と短い。そのためSiC-GTOサイリスタ装置49のスイッチング損失はSi-GTOサイリスタの約 $1/18$ 以下になる。SiC-GTOサイリスタ装置49のトータル損失はSi-GTOサイリスタ装置のトータル損失の約17%程度になり著しく低減できた。

[0056] SiC-GTOサイリスタ装置49の接合温度 $308^{\circ}\text{C}$ でのオン抵抗は、Si-GTOサイリスタ装置の接合温度 $125^{\circ}\text{C}$ でのオン抵抗よりも小さい。従ってトータル損失もSiC-GTOサイリスタ装置49の方がSi-GTOサイリスタ装置よりも小さくなる。またSiCが半導体の性質を失ういわば金属状態になるまでには、Siのエネルギーギャップより大きい約 $1.75\text{eV}$ のエネルギーギャップを残している。その点からも温度に対する高い信頼性を確保できる。低不純物濃度のp型SiCのベース層23の厚さは約 $60\mu\text{m}$ である。5kVの逆電圧におけるベース層23の空乏層の厚さは約 $50\mu\text{m}$ であるので約 $10\mu\text{m}$ 程度の十分なマージンを有している。このマージンにより前記の耐電圧に対しても高い信頼性を確保できる。

[0057] 本実施例ではヒーター46によりSiC-GTOサイリスタ素子20を加熱して、その温度を $200^{\circ}\text{C}$ の高温に保ってSiC-GTOサイリスタ装置49を動作させるので、積層欠陥の影響が極めて少なくなる。その結果動作時にオン電圧が上昇することがないので高い信頼性を確保できる。以上のように本実施例によれば、可制御電流が150A程度と大きく、低損失かつ信頼性の高いSiC-GTOサイリスタ装置49を実現できた。

### 第3実施例

[0058] 本発明の第3実施例の半導体装置は、光結合ワイドギャップパワー半導体装置であり、図4にその断面図を示す。図において、発光機能を有する主パワー半導体素子としては、耐電圧3kV・電流容量160AのGaN(ガリウムナイトライド)-GTOサイリスタ素子51を用いている。受光素子としてはSiCホトダイオード52を用いている。SiCホトダイオード52はGaN-GTOサイリスタ素子51に対向するように同一パッケージ

内に設けられている。

[0059] 図4に示すGaN-GTOサイリスタ素子51において、厚さ約250  $\mu\text{m}$ の高不純物濃度のn型GaNのカソード領域52の上面に、厚さ約35  $\mu\text{m}$ の低不純物濃度のp型Ga Nのpベース領域53が形成されている。pベース領域53の中央領域に厚さ約1.7  $\mu\text{m}$ の高不純物濃度のn型Ga Nのnベース領域54が形成されている。カソード領域52の下面にはカソード電極66が設けられている。nベース領域54の周囲のpベース領域53内にはn型SiCの電界緩和領域56が形成されている。nベース領域54の右端部に金属のゲート電極58が設けられている。ゲート電極58の部分を除くnベース領域54の上に、n型SiCの厚さ3  $\mu\text{m}$ のアノード領域55が設けられている。アノード領域55の上に、発光窓60を有する金属のアノード電極59が設けられている。pベース領域53及び電界緩和領域56の上には窒化シリコン層と二酸化シリコン層の2層構造の表面保護膜57が形成されている。

[0060] ゲート電極58は、金のリード線61によりゲート端子62に接続されている。アノード電極59は、金のリード線63、64によりアノード端子65に接続されている。カソード電極66はカソード端子68を有する金属の支持体67に取り付けられている。リード線61、63、64、及びアノード端子65、ゲート端子62、カソード端子68は電気接続手段である。リード線61、63、64は、それぞれを流れる電流値に応じて、それぞれ複数の線を並列に接続したものを用いればよい。

[0061] SiCホトダイオード52は、SiCを用いる点を除けば従来のホトダイオードと同じ構成を有するので詳細な説明は省略する。SiCホトダイオード52は、その受光部80がGa N-GTOサイリスタ素子51の発光窓60に対向するようにキャップ70の内側面に窒化アルミニウムなどの絶縁板71を介して接着されている。SiCホトダイオード52のアノード電極72は、金のリード線73により金属のアノード端子74に接続されている。カソード電極75は金のリード線76によりカソード端子77に接続されている。リード線73、76及びアノード端子74とカソード端子77は電気接続手段であり、それぞれの外部配線に接続される。アノード端子74及びカソード端子77はキャップ70の貫通孔に高融点絶縁ガラス78、79を介して固着されている。GaN-GTOサイリスタ素子51、SiCホトダイオード52、リード線61、63、64、73、76及びベース端子62の端部及びエミッタ

端子65の端部を覆うように、透明な合成高分子化合物の被覆体81が設けられている。支持体67の下面には、ニクロム線85aを有するヒーター85が設けられている。ヒーター85は、本実施例の光結合ワイドギャップパワー半導体装置の温度を上昇させる発熱手段である。ヒーター85は2つの端子86a、86bを有し、この両端子86a、86bによりニクロム線85aに通電しヒーター85を発熱させる。ギャップ70の外面には温度センサ18が設けられている。本実施例においても図1に示す第1実施例と同様の温度制御部140及び電源を有しているが、図4では図示を省略している。

- [0062] 本第3実施例の光結合ワイドギャップパワー半導体装置の製作方法の一例を以下に説明する。あらかじめ製作したGa<sub>N</sub>-GTOサイリスタ素子51を金シリコンの高融点半田を用いて支持体67の所定位置に半田付けする。リードボンディング装置を用いて直径80  $\mu$  mの金のリード線63、64でアノード電極59とアノード端子65とを接続する。ゲート電極58とゲート端子62とを金のリード線61で接続する。硬化前の合成高分子化合物81の素材をGa<sub>N</sub>-GTOサイリスタ素子51を包み込むように厚く塗布する。
- [0063] あらかじめ製作したSiCホトダイオード52を金シリコンの高融点半田を用いて、金属キャップ70の内側面に窒化アルミニウム絶縁板71を介して半田付けする。次にリードボンディング装置を用いて直径80  $\mu$  mの金のリード線73でアノード電極72とアノード端子74を接続する。またカソード電極75を金のリード線76でカソード端子77に接続する。次に硬化前の合成高分子化合物81の素材を、SiCホトダイオード52、リード線73、76のSiCホトダイオード52との接続部近傍を包み込むように厚く塗布する。最後に金属キャップ70と支持体67を、SiCホトダイオード52の受光部80がGa<sub>N</sub>-GTOサイリスタ素子51の発光窓60に対向し、且つ両者を包み込んでいる各々の合成高分子化合物の素材が接するように組合わせて、窒素雰囲気中で溶接する。その後200℃の温度で7時間加熱して合成高分子化合物をある程度の柔軟性を有する状態に硬化させる。
- [0064] 第3実施例の光結合ワイドギャップパワー半導体装置の動作の一例を次に示す。まず、ヒーター85に通電して支持体67を加熱し、パッケージ内のGa<sub>N</sub>-GTOサイリスタ素子51の温度を約200℃にする。GTOサイリスタ素子51の温度の測定方法は前記第1実施例の方法と同じである。カソード端子68の電位をアノード端子65よりも低

電位にして順方向バイアス状態にする。そしてゲート端子62の電位をアノード端子65と同電位にすると、電流が流れないオフ状態が維持される。耐電圧は3kVで高耐電圧を実現できた。SiCホトダイオード52はアノード端子74の電位をカソード端子77よりも低電位にして逆方向バイアス状態にしておく。

- [0065] オンオフ駆動は次のようにする。ゲート端子62の電位をアノード端子65の電位よりも低電位にし、アノード端子65からゲート端子62に向かうゲート電流を流す。これにより、GaN-GTOサイリスタ素子51がオン状態になり、波長が約390〜570nmの間の光50が発生する。この光50はSiCホトダイオード52で受光され、光量に対応した量の光電流がアノード端子74とカソード端子77間を流れる。アノード端子74とカソード端子77間の電流は、本実施例の光結合ワイドギャップパワー半導体装置の動作状態を示している。この電流は、本実施例の光結合ワイドギャップパワー半導体装置の制御に使用することができる。
- [0066] GaN-GTOサイリスタ素子51がオン状態のときに、ゲート端子62の電位をアノード端子68より高い電位にすると、カソード電極66とアノード電極59間を流れている電流は遮断され発光も停止する。SiCホトダイオード52は、光がなくなるので光電流がなくなりオフ状態になる。
- [0067] 本実施例のGaN-GTOサイリスタ素子51の耐電圧は約3.0kVであり、この耐電圧で、220℃の高温におけるリーク電流密度は $3 \times 10^{-4} \text{ A/cm}^2$ 以下であり、これは良好な値であった。GaN-GTOサイリスタ素子51とSiCホトダイオード52間の絶縁耐圧は5kV以上であり、5kVでのリーク電流密度は $1 \times 10^{-5} \text{ A/cm}^2$ 以下であった。
- [0068] 本実施例のGaN-GTOサイリスタ素子51を185℃に加熱し、 $240 \text{ A/cm}^2$ の高い電流密度で160Aの電流を、繰り返し周波数3kHzで通電した。この時のオン電圧は3.6V、ターンオン時間は $0.3 \mu\text{s}$ 、ターンオフ時間は $0.7 \mu\text{s}$ 、定常損失は約288W、スイッチング損失は68Wであった。この通電により、GaN-GTOサイリスタ素子51の接合温度は短時間で約410℃程度となった。
- [0069] ちなみに従来のSiの耐電圧3kV以上のGTOサイリスタでは $240 \text{ A/cm}^2$ の電流密度で160Aの電流を流すことはできない。耐電圧3kVのSiのGTOサイリスタの場合、接合温度125℃において、電流120A(電流密度は約 $45 \text{ A/cm}^2$ )の通電時の



オン電圧は4.5Vであり、ターンオン時間は6  $\mu$ s、ターンオフ時間は17  $\mu$ sである。

[0070] 本実施例のGaN-GTOサイリスタ素子51を従来のSiのGTOサイリスタと比較すると、SiのGTOサイリスタの可制御電流が120Aなのに対し、GaN-GTOサイリスタ素子51の可制御電流は160Aと大きい。可制御電流160AでのGaN-GTOサイリスタ素子51のオン電圧は、SiのGTOサイリスタの可制御電流120Aでのオン電圧の約80%であり、定常損失は約80%である。GaN-GTOサイリスタ素子51のターンオン時間とターンオフ時間はそれぞれSiのGTOサイリスタの約1/20及び1/24であり大幅に短い。その結果GaN-GTOサイリスタ素子51のスイッチング損失はSiのGTOサイリスタの1/22以下に小さくでき、トータル損失は約19%程度に著しく低減できた。本実施例の光結合ワイドギャップパワー半導体装置を185℃の空気雰囲気中で500時間連続通電稼働したが、稼働後に光伝達効率は低下していなかった。また、光結合ワイドギャップパワー半導体装置を分解して調査したが、合成高分子の保護膜81にはクラックが生じたり白濁や変形が生じたりしてはいなかった。また、順方向電圧や3kVでのリーク電流密度、スイッチング時間も測定誤差範囲の値でありほとんど変化していなかった。SiCホトダイオードの特性も同様に変化はみられなかった。

[0071] GaNのGTOサイリスタの場合、接合温度410℃でのオン抵抗は、同125℃でのSiのGTOサイリスタのオン抵抗よりも小さく、その結果トータル損失も小さい。またGaNが半導体の性質を失ういわば金属状態になるまでに約1.7eVのエネルギーギャップを残している。従って400℃以上の高い温度においても高い信頼性を確保できる。また、GaNはSiCの約1.5倍の高い絶縁破壊電界を持っているので、ドリフト層として機能する厚さ35  $\mu$ mの低不純物濃度のp型GaNのベース領域53は、3kVの耐電圧における空乏層に対しては十分なマージンをもった値であり、この点からも耐電圧に対する高い信頼性を確保できる。

[0072] 本実施例では、GaN-GTOサイリスタ素子51をヒーター85によりあらかじめ185℃に加熱してから動作を開始させる。従って積層欠陥の影響はほとんどみられず、動作時にオン電圧が上昇することなく高い信頼性を確保できる。以上のように、本実施例によれば、低損失で可制御電流が大きく且つ、信頼性の高い光結合半導体装置を実現できる。

#### 第4実施例

- [0073] 本発明の第4実施例の半導体装置を図5を参照して説明する。第4実施例の半導体装置は、SiC-pnダイオード装置19aであり、図1に示す前記第1実施例のSiC-pnダイオード装置19において、ヒーター15に代えてヒートシンク88を設けている。その他の構成は前記第1実施例と実質的に同じであるので、異なる部分のみを説明し重複する説明は省略する。
- [0074] 第4実施例のSiC-pnダイオード装置19aは、耐電圧7kVの、4層6方晶形のSiC-pnダイオード素子13aを有している。pnダイオード素子13aは、低不純物濃度のn型SiCのドリフト層2の厚さを約80  $\mu$  m (第1実施例では約95  $\mu$  m)にした点を除いて、前記第1実施例のpnダイオード素子13と同じである。
- [0075] 本実施例のSiC-pnダイオード装置19aは、支持体10の下部外面にヒートシンク88を有している。ヒートシンク88の近傍には送風冷却用のファン98が設けられている。キャップ14の上部外面には温度センサ18が設けられ、その検出出力は温度制御部140に入力される。温度制御部140は温度センサ18の検出出力に基づいてファン98の動作を制御する。
- [0076] pnダイオード素子13aに通電すると、その電流に応じてpnダイオード素子13aは発熱する。この発熱を「自己発熱」という。本実施例では、pnダイオード素子13aの温度を前記自己発熱により上昇させる。そのために比較的小型の、例えばアルミニウム製の、ヒートシンク88を設けている。ヒートシンク88が大きくて放熱される熱量が多すぎると、pnダイオード素子13aの温度が上昇しないので、pnダイオード素子13aの発熱量とヒートシンクの放熱量のバランスを考慮してむしろ小型のヒートシンク88を設けるのが望ましい。pnダイオード素子13aの温度が所望値を超えときは、温度センサ18の検出出力に基づいてファン98を動作させてヒートシンクを強制冷却する。強制冷却をする際のヒートシンク88と空気との間の熱抵抗が、約1℃/Wになるように、ヒートシンク88の構造を設定すればよい。
- [0077] 本実施例のSiC-pnダイオード装置19aの動作を以下に説明する。まずpnダイオード素子13aに順方向に所定の直流電流を所定時間流して、積層欠陥を形成させ、ドリフト層2とアノード領域3の積層欠陥による劣化を促進させる。劣化の進行はオン

電圧の上昇によって知ることができる。オン電圧の上昇がなくなると劣化が飽和したことが判る。本実施例では上記の処理をした後通常の動作をさせる。上記の積層欠陥による劣化をあらかじめ促進させる処理は、前記第1から第3実施例の各半導体装置にも施すのが望ましい。

[0078] 本実施例のSiC-pnダイオード装置19aの動作例を以下に説明する。

[0079] SiC-pnダイオード装置19aに繰り返し周波数5kHz、電流密度が $360\text{A}/\text{cm}^2$ となる200Aの電流を流す。このときのオン電圧は2.3V、逆回復電荷は $10.4\mu\text{C}$ であった。また定常損失は約260W、スイッチング損失は約31Wであった。ファン99を駆動してヒートシンク88に、空気とヒートシンク88間の熱抵抗が約 $1^\circ\text{C}/\text{W}$ になるように風を送ったとき、pnダイオード素子13aの接合温度を約 $350^\circ\text{C}$ にすることができた。

[0080] 耐電圧7.0kVを有する、従来のSi-pnダイオードの場合、接合温度 $125^\circ\text{C}$ で150Aの電流(電流密度は約 $50\text{A}/\text{cm}^2$ )の通電時のオン電圧は3.4Vであり、逆回復電荷は約 $113\mu\text{C}$ であった。上記従来のSi-pnダイオードに比べて、本実施例のSiC-pnダイオード装置19aの定常損失はほぼ90%である。また、逆回復電荷は本実施例のpnダイオード装置の方が約1桁小さいので、スイッチング損失も約1桁小さくなる。SiC-pnダイオード装置19のトータル損失はSi-pnダイオードの49%程度になり大幅に低減できる。SiC-pnダイオード装置19aでは、接合温度が $350^\circ\text{C}$ のときのオン抵抗は、接合温度が $125^\circ\text{C}$ のときのSi-pnダイオードのオン抵抗よりも小さく、この結果トータル損失が小さい。しかも半導体の性質を失ういわば金属状態になるまでには約1.64eVのエネルギーギャップを残している。この1.64eVのSiCのエネルギーギャップはSiのエネルギーギャップよりも大きいので、温度に対する高い信頼性を確保できる。

[0081] 本実施例のSiC-pnダイオード装置19aの可制御電流は200Aであった。n型SiCのドリフト層2の厚さが $80\mu\text{m}$ であるので、7kVの逆電圧印加時の空乏層の厚さ $70\mu\text{m}$ に対して約 $10\mu\text{m}$ のマージンをもっており、7kVの耐電圧に対しては高い信頼性を有している。

[0082] 本実施例では、pnダイオード素子13aに、あらかじめ所定の電流を所定時間流して積層欠陥による劣化を飽和するまで進行させている。従って、SiC-pnダイオード装

置の使用中に劣化が徐々に進行することではなく特性の経時変化が避けられる。

[0083] また動作開始時には、pnダイオード素子13aが自己発熱により200℃以上の温度になるまでは、通電電流を定格値より小さくする。これによりpnダイオード素子13aの温度が十分高くない場合に、積層欠陥に起因するオン電圧の上昇とそれによる定常損失の大幅な増加を避けることができる。

[0084] 本実施例によれば、前記の各実施例の半導体装置に設けているヒーターなどの加熱手段を必要としないので構造が簡単になり、半導体装置を小型にすることができる。

### 第5実施例

[0085] 本発明の第5実施例は、前記第1実施例のSiC-pnダイオード装置19、及び前記第2実施例のSiC-GTOサイリスタ装置49をスイッチング部として用いた、電力変換装置の一つであるインバータ装置に関する。本実施例のインバータ装置は、前記SiC-pnダイオード装置19とSiC-GTOサイリスタ装置49を1つのパッケージ中に収容したものをスイッチング部として用いるのが望ましい。

[0086] 図6は、本実施例のインバータ装置の回路図である。図7は前記SiC-pnダイオード装置19のpnダイオード素子13と、SiC-GTOサイリスタ装置49のGTOサイリスタ素子20とを1つのパッケージ中に収納したスイッチング部であるスイッチングモジュール100aの断面図である。

[0087] 図6において、インバータ装置90は直流電源91の直流を三相の交流に変換して負荷92に供給する電力変換装置である。インバータ装置90はよく知られた回路であり、直流電源91の正極と負極との間に、2つのスイッチングモジュール100a、100bの直列接続体が、3つ並列に接続されている。スイッチングモジュール100aと100bの、3つの直列接続体のそれぞれの接続点101、102、103は負荷92に接続されている。各スイッチングモジュール100a、100bには、よく知られているので詳細な構成を省略した制御回路93が設けられている。各制御回路93は図示を省略した制御装置により制御される。

[0088] スwitchングモジュール100aと100bは同一の構成を有するので、スイッチングモジュール100aについて詳細に説明する。

- [0089] スイッチングモジュール100aの断面図を示す図7において、金属の支持体125の上に、図1に示すpnダイオード素子13と、図2に示すGTOサイリスタ素子20とが設けられている。
- [0090] pnダイオード素子13は実質的に図1に示すものと同じ構成を有するが、図1のものでは300  $\mu$ mあるカソード領域1の厚さを50  $\mu$ mに減らして、耐電圧を5kVとしている。pnダイオード素子13は、厚さが約500  $\mu$ mの窒化アルミニウムの絶縁板126を介して支持体125との間に絶縁を保ちつつ取り付けられている。pnダイオード素子13のアノード電極6は金のリード線8で支持体125に接続されている。pnダイオード素子13のカソード電極7はリード線7aでアノード端子110に接続されている。
- [0091] GTOサイリスタ素子20は図2に示すものと同じものが支持体125に取り付けられている。GTOサイリスタ素子20のカソード電極32は、下面にカソード端子111を有する支持体125に取り付けられている。GTOサイリスタ素子20のアノード電極29は、リード線34によりアノード端子110に接続されており、ゲート電極31はリード線36によりゲート端子112に接続されている。上記の各接続によってpnダイオード素子13は、GTOサイリスタ素子20に逆並列に接続される。支持体125の下面には、図4に示すヒーター85と類似の構造のヒーター127が設けられている。ヒーター127は通電用の端子128、129を有している。支持体125にはpnダイオード素子13、GTOサイリスタ素子20、及びアノード端子110とゲート端子112の各リード線との接続部を覆うようにキャップ119が設けられ、内部に窒素ガスを封入した状態で支持体125に溶接されている。キャップ119の外面には温度センサ18が設けられている。
- [0092] 本実施例のインバータ装置90を動作させるときは、動作開始前にあらかじめヒーター127に通電してすべてのスイッチングモジュール100a、100bの温度を約200℃に上昇させる。各スイッチングモジュール100a、100bの温度は前記第1実施例において説明した方法でそれぞれの制御回路93で検出され、所定値に保たれるように制御される。
- [0093] 本実施例のインバータ装置90の動作例について以下に説明する。各スイッチングモジュール100a、100bの温度を200℃にし、直流電源91の直流電圧を3kV、スイッチングモジュール100a、100bのスイッチング周波数を2kHzとしてインバータ90を

動作させる。この動作で150Aの交流出力電流を負荷92に供給しているとき各スイッチングモジュール100a、100bで発生する損失は4.2Wであり、比較的低い値であった。インバータ装置90の効率は約98.6%であり比較的高効率が実現できた。本実施例のインバータを構成する各スイッチングモジュール100a、100bの可制御電流は150A、可制御電流密度は $250\text{A}/\text{cm}^2$ であり大きな値が得られた。各スイッチング素子100a、100bを $200^\circ\text{C}$ 以上の高温で稼働させるので積層欠陥の影響に起因するオン電圧の上昇はほとんど起こらず、オン電圧の上昇による損失の増大が避けられるとともに高い信頼性が得られることが確認できた。

- [0094] 以上、本発明の5つの実施例についてを説明したが、本発明はさらに多くの適用範囲あるいは派生構造をカバーするものである。
- [0095] 例えば半導体素子は、ゲート制御信号によりオン・オフの制御ができる自励型サイリスタであれば、ゲートターンオフサイリスタ(GTOサイリスタ)、静電誘導サイリスタ、MOSサイリスタ、双方向GTOサイリスタ、逆導通サイリスタ、MOSゲートGTOサイリスタ等でもよい。pn接合を有するpnダイオードやマージドダイオードなど複合ダイオードでもよい。
- [0096] また前記の各実施例ではワイドギャップ半導体材料としてSiC又はGaNを用いた半導体素子について述べたが、本発明はダイヤモンド、ガリウムリン、ボロンナイトライドなどの他のワイドギャップ半導体材料を用いた半導体素子にも有効に適用できる。
- [0097] また、各半導体素子において、n型領域をp型領域に、p型領域をn型領域に置き変えた逆極性の半導体素子に対しても本発明の構成を適用できる。
- [0098] 半導体素子の温度を上昇させる発熱手段のヒーターとして、ニクロム線等の金属抵抗体をシリコンゴムで被覆したヒーターを用いたが、例えば2枚のマイカやセラミックス板の間にヒーター発熱体を配置し圧接プレスで成形した面状ヒーターでもよい。またセラミックスヒーターやカートリッジヒーター等の他の素材のヒーター、赤外ランプ及び遠赤外線セラミックヒーターなどの輻射型の加熱手段を用いてもよい。さらに他の方法として、ヒートガン等で熱風を半導体装置に吹き付ける方法、半導体装置の金属支持体15や金属キャップ14を高周波誘導加熱装置で誘導加熱するような方法でもよい。前記の加熱手段の代わりに半導体素子の自己発熱を利用してもよい。この場合

3つの電極を有する半導体素子の場合、アノード電極とベース電極間に通電する方法、アノード電極とカソード電極間に通電する方法のいずれでもよい。

- [0099] 前記各実施例では、半導体装置のパッケージに金属キャップを用いたTO型のパッケージを示しているが、金属キャップの代わりに高耐熱樹脂のキャップを用いても良い。また各半導体装置の構成はTOM型でなく、スタッド型や平型、高耐熱樹脂を用いたSIP型など、Siのパワーモジュールで一般に用いられるモールド型の構成でもよい。キャリア寿命の制御法としては電子線の照射以外に $\gamma$ 線の照射やプロトンヘリウムイオンなど荷電粒子を照射してもよい。前記実施例では、適用例として3相インバータ装置を示したが、マトリックスインバータやDCDCコンバータ等の他の電力変換装置でも良い。また、インバータやコンバータ以外にスイッチング電源や整流装置、レギュレータ、高周波発信装置等の他の電力変換装置にも本願発明を適用できる。

#### 産業上の利用可能性

- [0100] 本発明は、可制御電流が大きくかつ低損失で、高い電圧においても信頼性が高い半導体装置を実現するものであり、大電流高電圧を扱う電力用途に幅広く利用可能である。

## 請求の範囲

- [1]      ワイドギャップ半導体を用いた、順方向特性にビルドイン電圧を有するワイドギャップバイポーラ半導体素子、
- 前記ワイドギャップバイポーラ半導体素子を収納し、前記ワイドギャップバイポーラ半導体素子を外部の装置に接続するための電気接続手段を有する半導体パッケージ、及び
- 前記半導体パッケージ内の前記ワイドギャップバイポーラ半導体素子を常温より高い所定の温度に保つための発熱手段
- を有する半導体装置。
- [2]      前記所定の温度は、前記ワイドギャップバイポーラ半導体素子の温度の上昇に応じて低下するビルトイン電圧の低下分に対応する前記ワイドギャップバイポーラ半導体素子の定常損失の減少分が、前記温度の上昇に応じて増加するオン抵抗の増加分に対応する前記定常損失の増加分よりも大きくなる温度より高い温度である、ことを特徴とする請求項1に記載の半導体装置。
- [3]      前記ワイドギャップバイポーラ半導体素子は、あらかじめ $\gamma$ 線、電子線及び荷電粒子線の内の少なくとも1つを照射して、キャリアの寿命が所定の範囲になるように調整されていることを特徴とする請求項1又は2に記載の半導体装置。
- [4]      前記ワイドギャップバイポーラ半導体素子は、照射エネルギーが0.1MeVから20MeV、照射量としての単位面積当たりの電子数が $5 \times 10^{11} / \text{cm}^2$  から $5 \times 10^{14} / \text{cm}^2$  の各範囲内の電子線の照射によって、あらかじめキャリアの寿命が所定の範囲になるように調整されていることを特徴とする請求項1又は2に記載の半導体装置。
- [5]      前記発熱手段は、前記ワイドギャップバイポーラ半導体素子の動作開始前にあらかじめワイドギャップバイポーラ半導体素子を50℃より高い所定の温度に熱するものであることを特徴とする請求項1に記載の半導体装置。
- [6]      前記所定の温度は125℃以上である請求項1、2又は5に記載の半導体装置。
- [7]      前記発熱手段は、前記ワイドギャップバイポーラ半導体素子に熱を与えるように設けられた電気ヒータであることを特徴とする請求項1に記載の半導体装置。
- [8]      前記発熱手段は、前記ワイドギャップバイポーラ半導体素子の通電時に発生する



熱の放散を制御することによって前記ワイドギャップバイポーラ半導体素子の温度を125℃以上に上昇させるヒートシンクであることを特徴とする請求項1記載の半導体装置。

- [9] 前記発熱手段は、前記ワイドギャップバイポーラ半導体素子の通電時に発生する熱の放散を制御することによって前記ワイドギャップバイポーラ半導体素子の温度を、前記ワイドギャップバイポーラ半導体素子の、温度の上昇に応じて低下するビルトイン電圧の低下分に対応する前記ワイドギャップバイポーラ半導体素子の定常損失の減少分が、前記温度の上昇に応じて増加するオン抵抗の増加分に対応する前記定常損失の増加分よりも大きくなる温度に上昇させるヒートシンクであることを特徴とする請求項1記載の半導体装置。
- [10] 前記半導体パッケージは、温度センサ及び、前記温度センサの検出出力に基づいて前記ワイドギャップバイポーラ半導体素子の温度を前記所定の温度に保つ温度制御部、を有することを特徴とする請求項1記載の半導体装置。
- [11] 前記ワイドギャップバイポーラ半導体素子が、pn接合を有するダイオード及び自励型サイリスタのいずれか一方であることを特徴とする請求項1から6のいずれか1項に記載の半導体装置。
- [12] ワイドギャップ半導体を用いたワイドギャップバイポーラ発光半導体素子、  
前記ワイドギャップバイポーラ発光半導体素子の発光光を受光するように、前記ワイドギャップバイポーラ発光半導体素子に対向して設けられたワイドギャップホトダイオード、  
前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを収納し、前記ワイドギャップバイポーラ発光半導体素子及びワイドギャップホトダイオードを外部の装置に接続するための電気接続手段を有するパッケージ、及び  
前記パッケージを常温より高い所定の温度に保つための発熱手段  
を有する半導体装置。
- [13] 高不純物濃度の第1の導電型のSiCのカソード領域の上に、低不純物濃度の第2の導電型のSiCのドリフト層を形成する工程、  
前記ドリフト層の上に第1の導電型のSiCのベース領域を形成する工程、

前記ベース領域の上に第2の導電型のSiCのアノード領域を形成する工程、及び  
前記カソード領域、ドリフト領域、ベース領域及びアノード領域に、所定の照射エネルギーの電子線を所定の電子密度で照射する工程

を有する半導体装置の製造方法。

- [14] 高不純物濃度の第1の導電型のSiCのカソード領域の上に低不純物濃度の第1の導電型のSiCのドリフト層を形成する工程、

前記ドリフト層の上に第2の導電型のSiCのアノード領域を形成する工程、

前記アノード領域にアノード電極を設ける工程、

前記カソード領域にカソード電極を設ける工程、及び

前記アノード電極とカソード電極間に、所定の順方向電流を所定時間流して、前記ドリフト層及びアノード領域に積層欠陥を生じさせる工程

を有する半導体装置の製造方法。

- [15] ワイドギャップ半導体を用いたGTOサイリスタ素子、

前記GTOサイリスタ素子に逆並列に接続された、ワイドギャップ半導体を用いたダイオード素子、

前記GTOサイリスタ素子及び前記ダイオード素子を収納し、前記GTOサイリスタ素子と前記ダイオード素子を逆並列に接続し、前記逆並列に接続されたGTOサイリスタ素子とダイオード素子を外部の装置に接続するための電気接続手段を有するパッケージ、

前記パッケージ内の前記GTOサイリスタ素子及びダイオード素子を常温より高い所定の温度に保つための発熱手段を有するスイッチングモジュール、

少なくとも2つの前記スイッチングモジュールを直列に接続した直列接続体を、直流電源の正極と負極間に3つ並列に接続したスイッチング回路、及び

前記各スイッチングモジュールのそれぞれに設けられ、前記発熱手段で各スイッチングモジュールを加熱して、各スイッチングモジュールが所定の温度に達してから前記スイッチング回路の動作をさせるように制御する制御回路

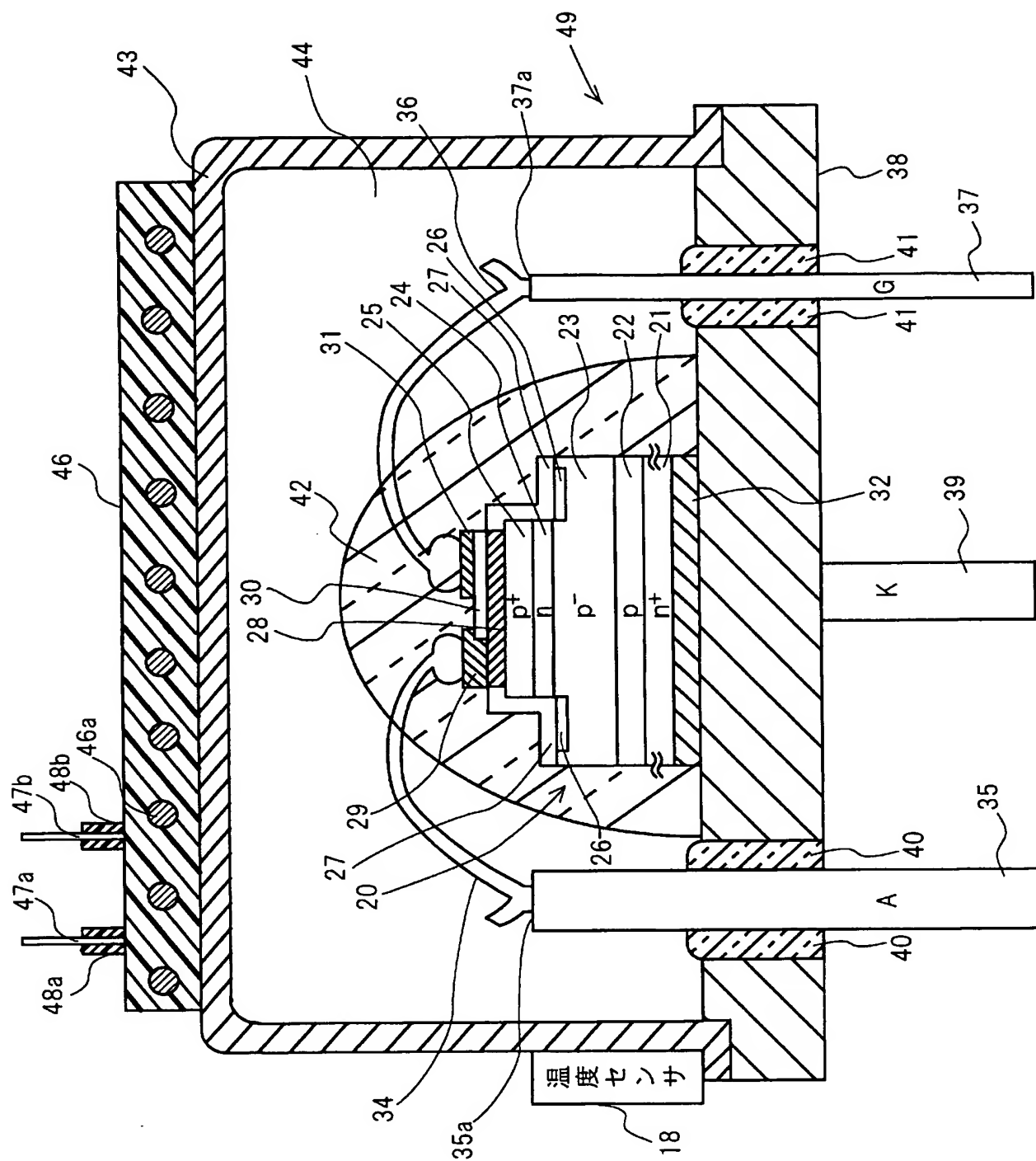
を有する電力変換装置。

- [16] 前記発熱手段は、前記パッケージを加熱する加熱手段及び前記パッケージの放熱

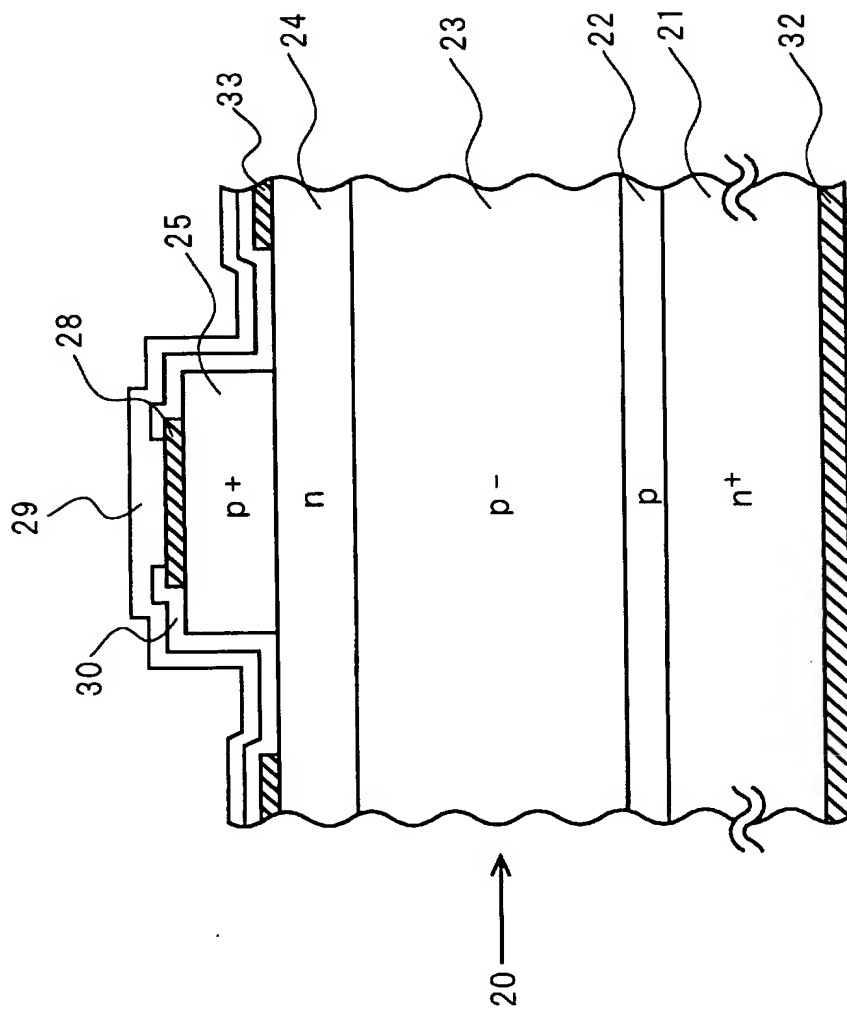
を制御するヒートシンクの少なくとも1つであることを特徴とする請求項15に記載の電力変換装置。



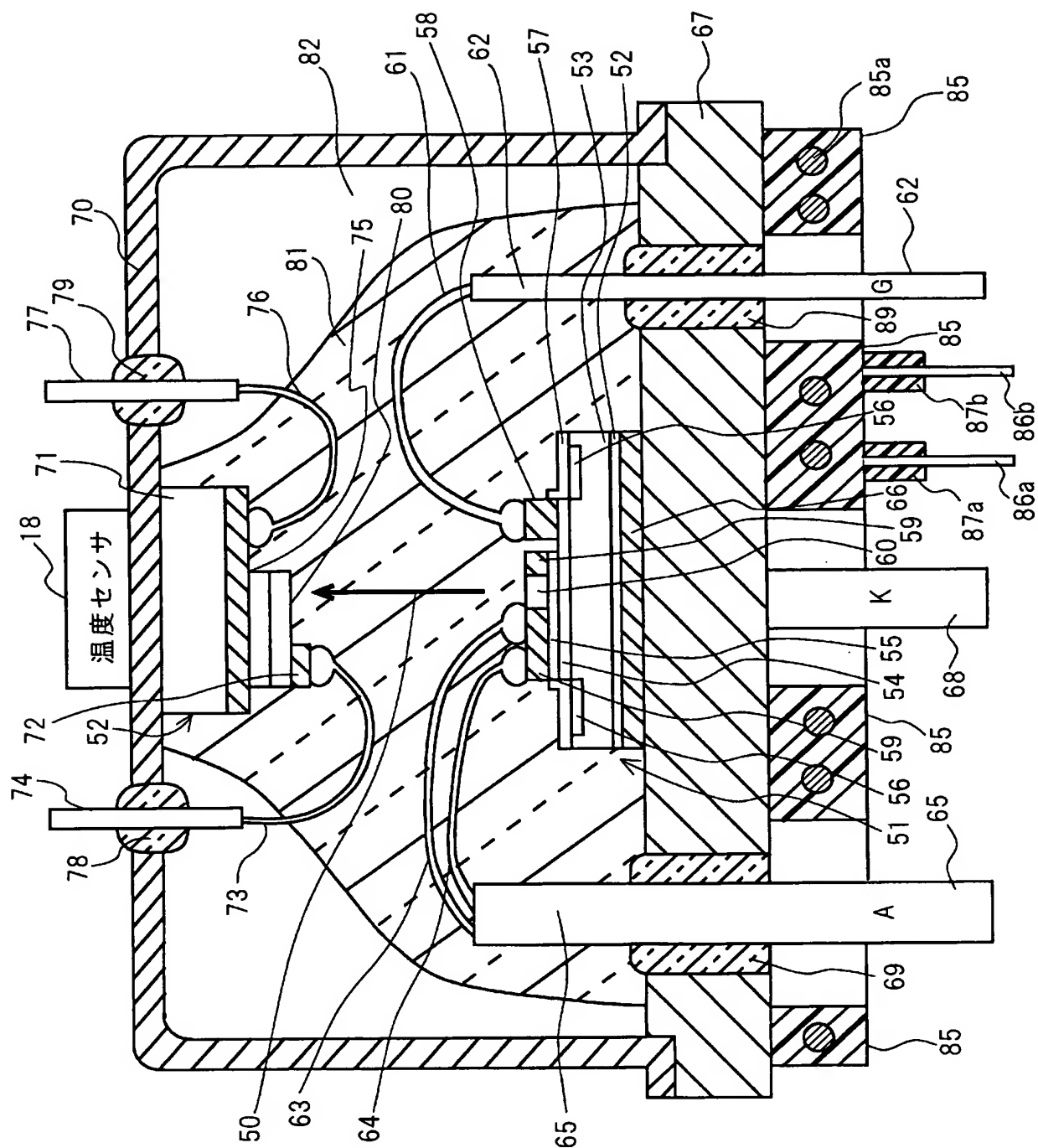
[図2]

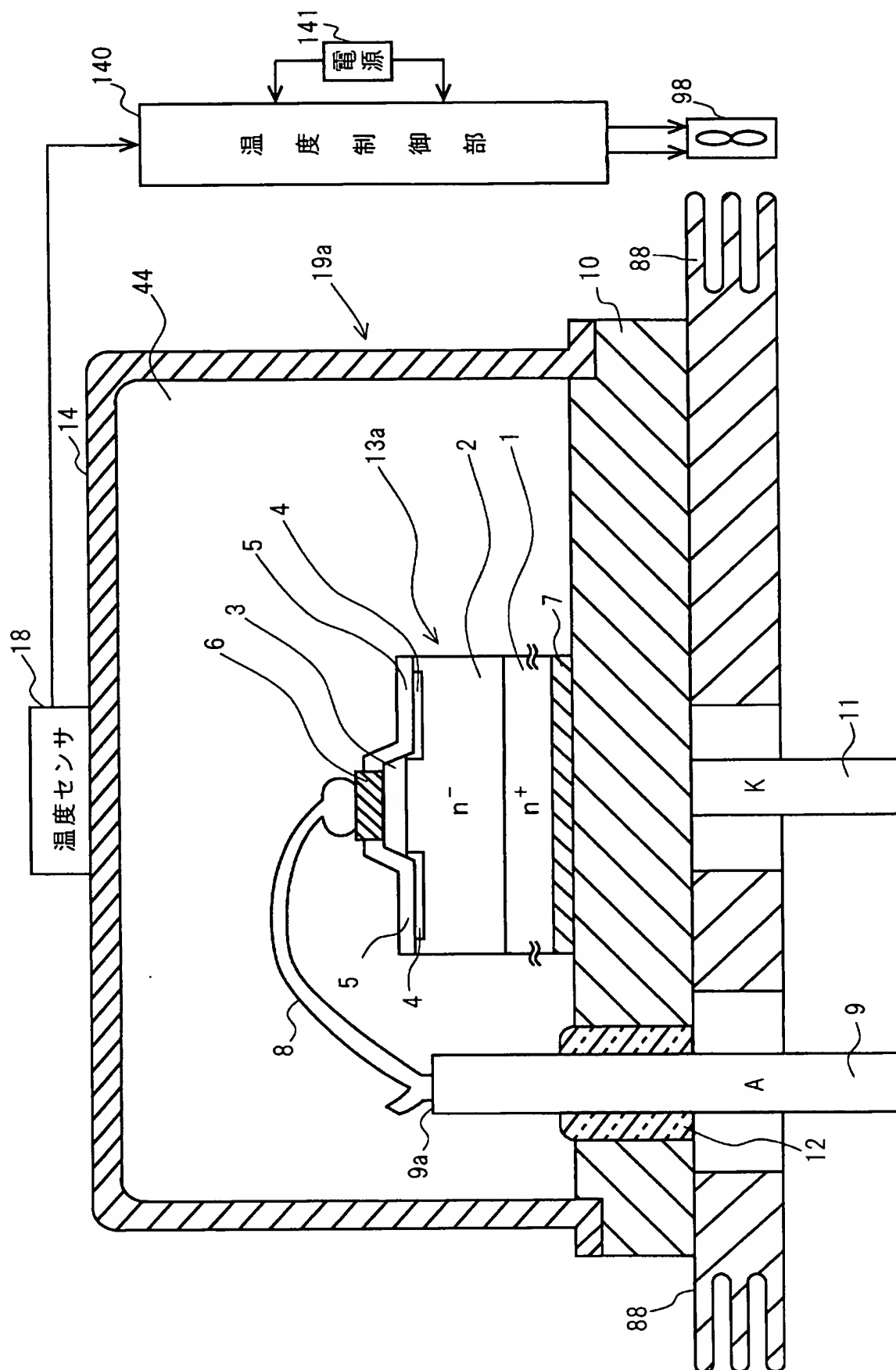


[図3]



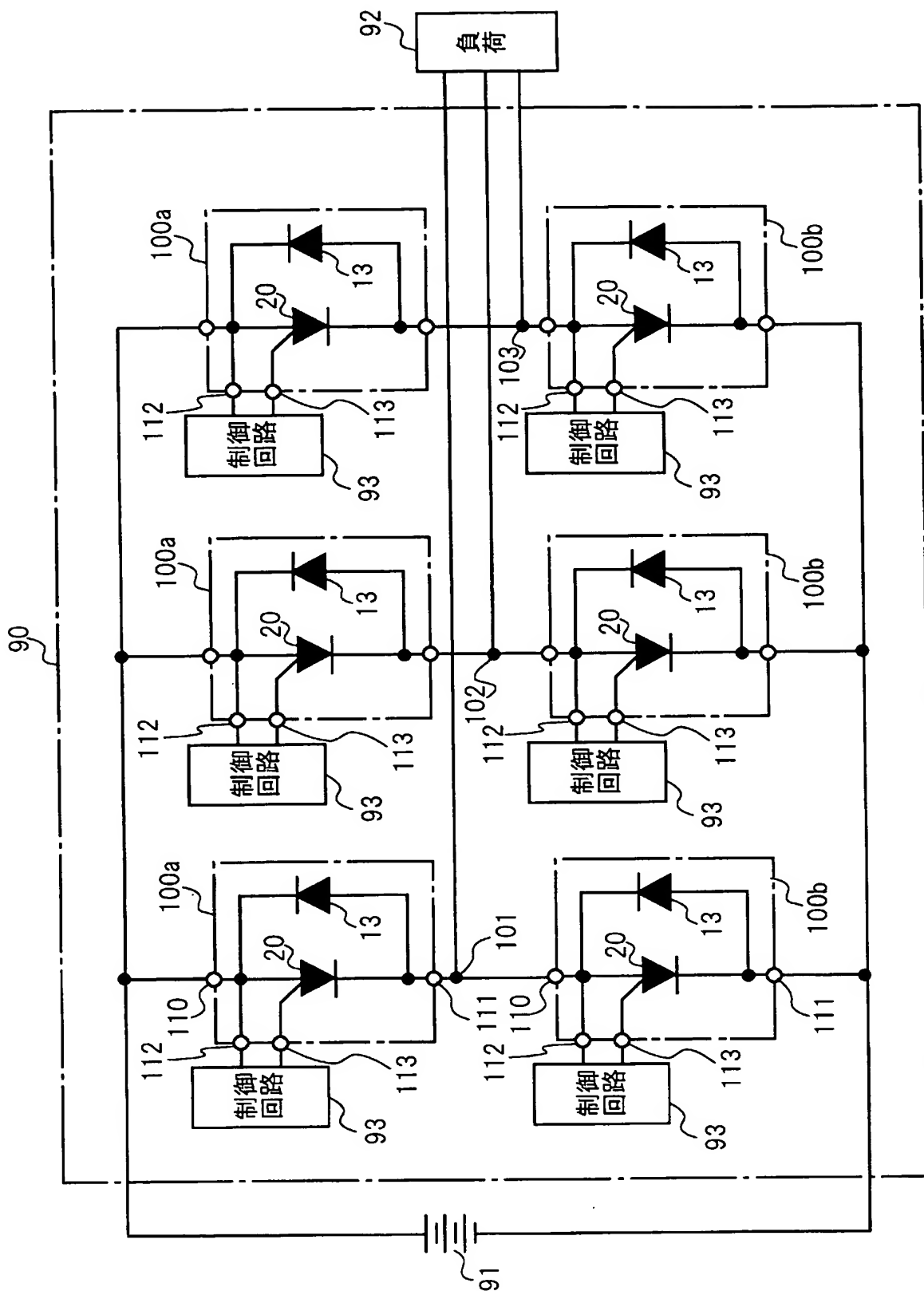
[図4]



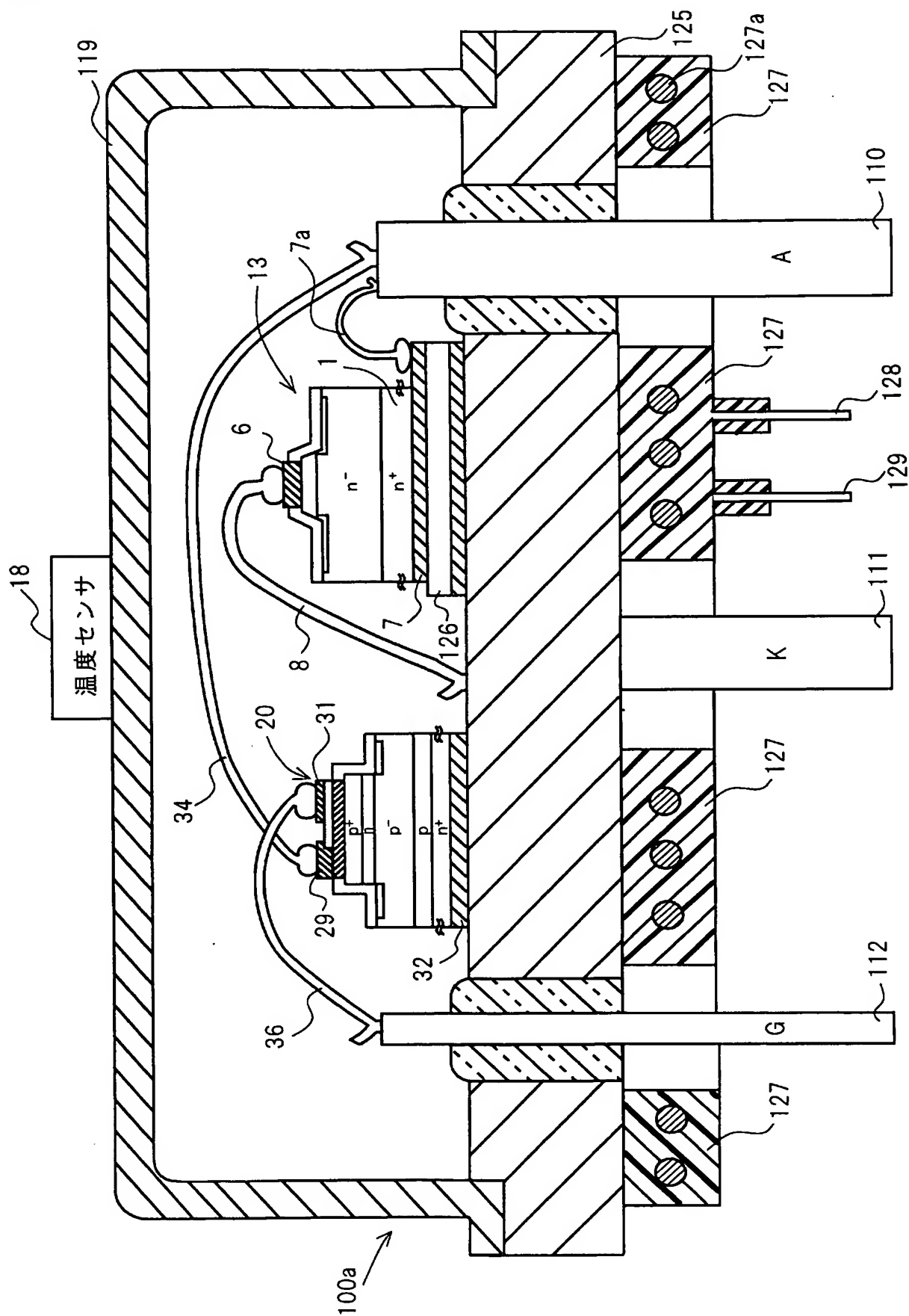




[図6]



[図7]



KE34000-P0

4/5

特許協力条約に基づく国際出願願書

紙面による写し (注意: 電子データが原本となります)

VIII-5-1	不利にならない開示又は新規性喪失の例外に関する申立て 不利にならない開示又は新規性喪失の例外に関する申立て (規則4.17(v)及び51の2.1(a)(v)) 氏名(姓名)	本国際出願 に関し、 株式会社関西電力 は、本国際出願の請求項に記載された対象が以下のように開示されたことを申し立てる。
VIII-5-1(i)	開示の種類:	刊行物
VIII-5-1(ii)	開示の日付:	2003年 04月 14日 (14. 04. 2003)
VIII-5-1(iii)	開示の名称:	2003年 I E E E 第 1 5 回 パワー半導体デバイス及び I C の国際シンポジウムの論文集
VIII-5-1(iv)	開示の場所:	英国、ケンブリッジ
VIII-5-1(v)	本申立ては、次の指定国のためになされたものである。:	国内特許又は広域特許のための JP の指定

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011936

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L23/34, H01L29/861, H01L29/74

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L23/34, H01L29/861, H01L29/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS, [TANKAKEISO and KOON and (GTO or DAIODO)] (in Japanese)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Yoshitaka SUGAWARA, "Recent Progress in SiC Power Device Developments and Application Studies.", 2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs Proceedings, 14 April, 2003 (14.04.03), pages 10 to 18, full text	1-16
Y	Anant K. AGARWAL et al., "4H-SiC p-n diodes and gate turnoff thyristors for high-power, high-temperature applications.", Solid-State Electronics, Vol.44, 2000 February, pages 303 to 308, full text	1-13,15,16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
16 November, 2004 (16.11.04)

Date of mailing of the international search report  
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011936

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-148681 A (Sumitomo Electric Industries, Ltd.), 06 June, 1997 (06.06.97), Par. Nos. [0005] to [0007] (Family: none)	1, 2, 5-7, 10-12
Y	JP 10-22495 A (Meidensha Corp.), 23 January, 1998 (23.01.98), Par. Nos. [0029], [0041] to [0055] (Family: none)	3, 4, 13
Y	JP 8-18030 A (Fuji Electric Co., Ltd.), 19 January, 1996 (19.01.96), Abstract; Claims 1, 2; Par. No. [0007] (Family: none)	3, 4, 13
Y	JP 2001-217363 A (Hitachi, Ltd.), 10 August, 2001 (10.08.01), Par. Nos. [0028] to [0034], [0045] (Family: none)	8, 9
Y	JP 2002-325355 A (The Kansai Electric Power Co., Inc.), 08 November, 2002 (08.11.02), Par. Nos. [0050] to [0054] (Family: none)	12
X Y	M.E. TWIGG et al., "Structure of stacking faults formed during the forward bias of 4H-SiC p-i-n diodes.", APPLIED PHYSICS LETTERS, Vol.82, No.15, 14 April, 2003 (14.04.03), pages 2410 to 2412, full text	14 15, 16
Y	JP 2002-325427 A (The Kansai Electric Power Co., Inc.), 08 November, 2002 (08.11.02), Par. Nos. [0030] to [0032]; Fig. 8 (Family: none)	15, 16
A	Y. SUGAWARA et al., "4H-SiC High Power SIJFET Module.", 2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs Proceedings, 14 April, 2003 (14.04.03), pages 127 to 130, full text	1-16

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L23/34, H01L29/861, H01L29/74

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L23/34, H01L29/861, H01L29/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS, [炭化けい素 and 高温 and (GTO or ダイオード)]

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	Yoshitaka SUGAWARA 'Recent Progress in SiC Power Device Developments and Application Studies.' 2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs Proceedings, 2003. 04. 14, p. 10-18 全文	1-16
Y	Anant K. AGARWAL et. al. '4H-SiC p-n diodes and gate turnoff thyristors for high-power, high-temperature applications.' Solid-State Electronics, Vol. 44, 2000. 02, p. 303-308 全文	1-13, 15, 16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

16. 11. 2004

国際調査報告の発送日

07.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

4R

9169

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-148681 A (住友電気工業株式会社) 1997. 06. 06 【0005】 - 【0007】 (ファミリーなし)	1, 2, 5-7, 10-12
Y	JP 10-22495 A (株式会社明電舎) 1998. 01. 23 【0029】 【0041】 - 【0055】 (ファミリーなし)	3, 4, 13
Y	JP 8-18030 A (富士電機株式会社) 1996. 01. 19 【要約】 【請求項1】 【請求項2】 【0007】 (ファミリーなし)	3, 4, 13
Y	JP 2001-217363 A (株式会社日立製作所) 2001. 08-10 【0028】 - 【0034】 【0045】 (ファミリーなし)	8, 9
Y	JP 2002-325355 A (関西電力株式会社) 2002. 11. 08 【0050】 - 【0054】 (ファミリーなし)	12
X	M. E. TWIGG et. al., 'Structure of stacking faults formed during the forward bias of 4H-SiC p-i-n diodes.'	14
Y	APPLIED PHYSICS LETTERS, Vol. 82, No. 15, 2003. 04. 14, p. 2410-2412 全文	15, 16
Y	JP 2002-325427 A (関西電力株式会社) 2002. 11. 08 【0030】 - 【0032】 【図8】 (ファミリーなし)	15, 16
A	Y. SUGAWARA et. al., '4H-SiC High Power SIJFET Module.' 2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs Proceedings, 2003. 04. 14, p. 127-130 全文	1-16

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1-12、15-16は、ワイドギャップ型半導体を用いた常温よりも高い温度で動作させることを特徴とする半導体装置に係る発明である。

請求の範囲13は、SiCを用いた半導体素子で、カソード領域、ドリフト領域、ベース領域及びアノード領域に電子線を照射する半導体装置の製造方法に係る発明である。

請求の範囲14は、アノード電極とカソード電極間に順方向の電流を流し、ドリフト層とアノード領域に積層欠陥を生じさせる半導体装置の製造方法に係る発明である。

よってこの出願の請求の範囲には請求の範囲1-12及び15-16、請求の範囲13、請求の範囲14に区分される3つの発明が記載されている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。